

TSMC

주가 +96.78% 1Y

시가총액 2,887조원



Taiwan Semiconductor Manufacturing Co Ltd (TSM:NYQ) 최근 3년 주가 흐름

출처: Financial Times

칩 대형화 가속, 웨이퍼 한계 봉착

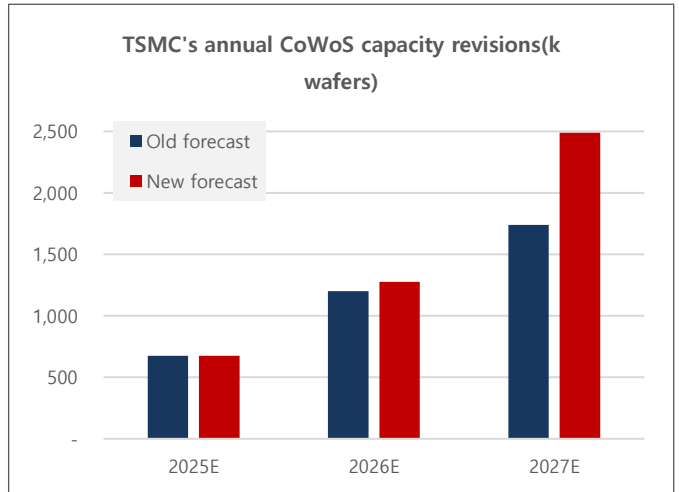
*노광장비가 한 번의
노출로 찍어낼 수 있는
최대 면적.

문제는 실리콘 인터포저의 생산 효율이 낮다는 점입니다. 반도체 칩의 원재료인 실리콘 웨이퍼를 동일하게 활용하다 보니 제조원가를 낮추는데 한계가 있고, 또 점차 대면적화되는 칩 설계에 대응하여 무한정 크기를 키우기도 어렵습니다. 재배선층(RDL)을 일부 활용하는 CoWoS-L 패키징을 시도하고 있으나 웨이퍼 사용을 완전히 극복하는 CoPoS 패키징으로의 전환 유인은 가파르게 상승하고 있습니다. 실제로 Rubin 칩의 경우 이전 세대보다 훨씬 커진 5.5배 수준의 레티클* 면적을 차지하여 웨이퍼 당 4~7개 밖에 생산하지 못하는 상태입니다.

Key Insight

AI 수요가 이끄는 첨단 패키징 투자

골드만삭스는 TSMC의 자본 지출 증가세가 AI 수요에 힘입어 2028년 이후까지 이어질 것으로 전망했습니다. TSMC는 2026년 Capex 560억 달러의 최대 20%를 첨단 패키징에 투입할 예정입니다. CoWoS 생산능력은 웨이퍼 기준 2026년 연간 127만장, 2027년 연간 249만장으로 확대될 전망입니다.



출처: Goldman Sachs, 텍톤투자자문(Apr 2026)

CoPoS 파일럿 라인 가동

TSMC는 6월 완공을 목표로 CoPoS 파일럿 라인을 준비하고 있습니다. 510mm x 515mm 규격의 유리패널 양산을 목표로 250mm x 250mm 파일럿 제품을 테스트할 계획입니다. 양산 목표 패널은 300mm 웨이퍼에 비해 3.7배 넓은 사각 형태로, 가장자리 손실 없이 9.5배 이상 레티클 면적의 초대형 칩을 패키징 할 수 있게 됩니다.

Strategy

AI 팩토리를 성공시킬 수단

Nvidia는 차세대 Feynman 아키텍처를 통해 컴퓨팅 성능의 혁신과 AI 팩토리 비전을 제시했습니다. TSMC의 CoPoS 패키징 기술은 이를 실현시킬 수 있는 유일한 대안으로 평가받고 있습니다. CoWoS의 양산 스케줄이 예상보다 빠르게 진행되고 있는 만큼, CoPoS에 대한 관점도 미래의 기술이 아닌 상용화에 가까워진 현실로 전환해야 할 것입니다.